

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-69599

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01S 3/18

審査請求 未請求 請求項の数59(全 13 頁)

(21)出願番号 特願平5-146826

(22)出願日 平成5年(1993)5月26日

(31)優先権主張番号 1992-9056

(32)優先日 1992年5月27日

(33)優先権主張国 韓国(KR)

(31)優先権主張番号 1993-1691

(32)優先日 1993年2月8日

(33)優先権主張国 韓国(KR)

(71)出願人 590001669

株式会社金星社

大韓民国, ソウル特別市永登浦区汝矣島洞
20

(72)発明者 安 亨 洙

大韓民国京畿道安養市冠陽洞1397 亨主ビ
ラ、ナ-202

(72)発明者 盧 敏 秀

大韓民国ソウル特別市龍山区梨泰院洞136
-36、15/3

(74)代理人 弁理士 佐藤 一雄 (外3名)

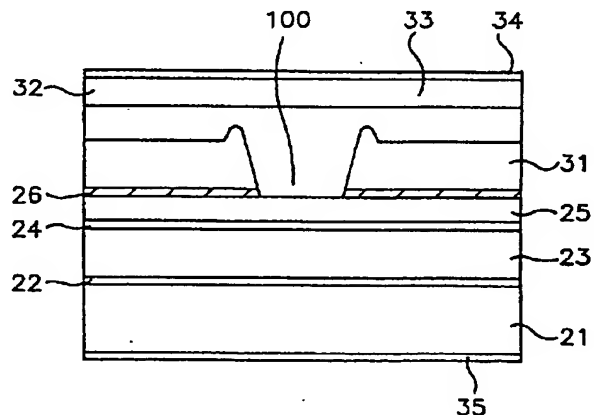
最終頁に続く

(54)【発明の名称】 半導体レーザダイオード及びその製造方法

(57)【要約】 (修正有)

【目的】 半導体レーザダイオードの電流注入溝を選択的な成長により形成する方法を提供することにある。

【構成】 半導体基板21上のダブルヘテロ(double hetero)接合構造の活性層24を形成する段階と、活性層上に電流注入溝100を形成するために前記活性層上に電流制限層31を選択的に形成する段階と、および前記電流注入溝100および電流制限層31上に平坦な表面を有するクラッド層を形成する段階と、を備えることを特徴とする。



【特許請求の範囲】

【請求項1】半導体基板上にダブルヘトロ接合構造の活性層を形成する段階と、

活性層上に電流注入溝を形成するために前記活性層上に電流制限層を選択的に形成する段階と、

前記電流注入溝および電流制限層上に平坦な表面を有するクラッド層を形成する段階とを備えることを特徴とする半導体レーザダイオードの製造方法。

【請求項2】前記電流制限層を選択的に形成する段階、前記活性層上に量子ウェル層、不純物浸透防止膜、絶縁膜を順次形成する工程と、

前記絶縁膜を所定の幅(W_1)を有するパターンでパターンニングする工程と、

前記不純物浸透防止膜を前記絶縁膜の幅(W_1)に近似した幅を有するパターンでパターンニングする工程と、

前記量子ウェル層上に前記パターンニングされた絶縁膜および不純物浸透防止膜をマスクとして電流制限層を選択的に成長させて電流注入溝を形成する工程と、

前記絶縁膜および不純物浸透防止膜を除去する工程と、からなることを特徴とする特許請求の範囲第1項記載の半導体レーザダイオードの製造方法。

【請求項3】前記量子ウェル層は、アンドープGaAs、低濃度のp型GaAs、またはn型GaAsのいずれかで形成することを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項4】前記不純物浸透防止膜は、 $Al_xGa_{1-x}As$ ($x \geq 0.6$)で形成することを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項5】前記絶縁膜は、 SiO_2 またはSi、N、のいずれかで形成することを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項6】前記絶縁膜パターンの幅(W_1)は、3~7 μm であることを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項7】前記電流制限層は、MOCVD法により成長させることを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項8】前記不純物浸透防止膜をパターンニングする工程は、前記パターンニングされた絶縁膜上にホトレジストを塗布し、所定の幅($W_1 = W_2 < W_3$)を有するパターンで前記ホトレジストをパターンニングした後前記パターンニングされたホトレジストをマスクとして前記不純物浸透防止膜を湿式蝕刻して成ることを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項9】前記ホトレジストは、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位 $\langle 011 \rangle$ 若しくは $\langle 0\bar{1}\bar{1} \rangle$ に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項10】前記ホトレジストは、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位 $\langle 011 \rangle$ 若しくは $\langle 0\bar{1}\bar{1} \rangle$ に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第8項記載の半導体レーザダイオードの製造方法。

【請求項11】前記ホトレジストのパターンの幅(W_1)は、8~12 μm であることを特徴とする特許請求の範囲第8項記載の半導体レーザダイオードの製造方法。

【請求項12】前記絶縁膜および不純物浸透防止膜は、HFを利用して除去することを特徴とする特許請求の範囲第2項記載の半導体レーザダイオードの製造方法。

【請求項13】前記電流制限層を選択的に形成する段階後に前記電流注入溝部分の量子ウェル層を蝕刻する段階がさらに含まれることを特徴とする特許請求の範囲第1項記載の半導体レーザダイオードの製造方法。

【請求項14】前記電流注入溝部分の量子ウェル層の蝕刻は、量子ウェルの厚さの1/2程度残存するように蝕刻することを特徴とする特許請求の範囲第13項記載の半導体レーザダイオードの製造方法。

【請求項15】前記電流制限層を選択的に形成する段階が、

前記活性層上に量子ウェル層を形成する工程と、

前記量子ウェル層を酸化させて酸化量子ウェル層を形成する工程と、

前記酸化量子ウェル層を所定の幅(W_1)を有するパターンでパターンニングする工程と、

前記パターンニングされた酸化量子ウェル層をマスクとして電流制限層を選択的に成長させて電流注入溝を形成する工程と、

前記酸化量子ウェル層を除去する工程とからなることを特徴とする半導体レーザダイオードの製造方法。

【請求項16】前記酸化量子ウェル層は、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位 $\langle 011 \rangle$ 若しくは $\langle 0\bar{1}\bar{1} \rangle$ に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第15項記載の半導体レーザダイオードの製造方法。

【請求項17】前記酸化量子ウェル層は、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位 $\langle 011 \rangle$ 若しくは $\langle 0\bar{1}\bar{1} \rangle$ に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第15項記載の半導体レーザダイオードの製造方法。

【請求項18】前記酸化量子ウェル層のパターンの幅(W_1)は、3~7 μm であることを特徴とする特許請求の範囲第15項記載の半導体レーザダイオードの製造方法。

【請求項19】前記電流制限層を選択的に形成する段階が、

前記活性層上に不純物浸透防止膜を形成する工程と、
前記不純物浸透防止膜上に絶縁膜を形成する工程と、
前記不純物浸透防止膜を前記絶縁膜の幅(W_1)と同一の幅を有するパターンでパターンニングする工程と、
前記活性層上に前記パターンニングされた絶縁膜および不純物浸透防止膜をマスクとして電流制限層を選択的に成長させて電流注入溝を形成する工程と、
前記絶縁膜および不純物浸透防止膜を除去する工程と、
からなることを特徴とする半導体レーザダイオードの製造方法。

【請求項20】前記不純物浸透防止膜は、アンドロッドGaAsで形成することを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項21】前記不純物浸透防止膜は、少くとも0.1 μ mの厚さで形成することを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項22】前記不純物浸透防止膜は、形成されたパターンの長さ方向が前記活性層の結晶方位<0 1 1>若しくは<0 -1 -1>に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項23】前記不純物浸透防止膜は、形成されたパターンの長さ方向が前記活性層の結晶方位<0 -1 1>若しくは<0 1 -1>に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項24】前記絶縁膜は、SiO₂またはSi₃N₄のいずれかで形成することを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項25】前記絶縁膜および不純物浸透防止膜は、HFを利用して除去することを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項26】前記絶縁膜のパターンの幅(W_1)は、3~7 μ mであることを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項27】前記電流制御層を選択的に形成する段階が、

前記活性層上に量子ウェル層を形成する工程と、
前記量子ウェル層上に二重膜を形成する工程と、
前記二重膜を所定の幅(W_1)を有するパターンでパターンニングする工程と、
前記量子ウェル層上に前記パターンニングされた二重膜をマスクとして電流制限層を選択的に成長させて電流注入溝を形成する工程と、
前記二重膜を除去する工程とからなることを特徴とする半導体レーザダイオードの製造方法。

【請求項28】前記二重膜は、PSG/SiO₂、PSG/Si₃N₄のいずれかで形成することを特徴とする特許請求の範囲第27項記載の半導体レーザダイオード

の製造方法。

【請求項29】前記二重膜は、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位<0 1 1>若しくは<0 -1 -1>に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項30】前記二重膜は、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位<0 -1 1>若しくは<0 1 -1>に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第19項記載の半導体レーザダイオードの製造方法。

【請求項31】前記二重膜パターンの幅(W_1)は、3~7 μ mであることを特徴とする特許請求の範囲第27項記載の半導体レーザダイオードの製造方法。

【請求項32】前記クラッド層は、Al_{0.45}GaAsで形成することを特徴とする特許請求の範囲第1項記載の半導体レーザダイオードの製造方法。

【請求項33】前記クラッド層は、LPE法またはMOCVD法のいずれかにより請求させることを特徴とする特許請求の範囲第34項記載の半導体レーザダイオードの製造方法。

【請求項34】前記クラッド層を形成する段階後に、前記クラッド層上にキャップ層を形成する段階と、前記キャップ層の上部と半導体基板の下部とにそれぞれ電極を形成する段階とがさらに含まれることを特徴とする特許請求の範囲第1項記載の半導体レーザダイオードの製造方法。

【請求項35】第1導電型基板上に第1導電型バッファ層、第1導電型の第1クラッド層、第1導電型の第1グレーデッド層、第2導電型の第2クラッド層、量子ウェル層、不純物浸透防止膜、選択的な除去膜、絶縁膜を順次形成する段階と、

前記絶縁膜を所定の幅(W_1)を有するパターンでパターンニングする段階と、

前記選択的な除去膜および不純物浸透防止膜を前記絶縁膜の幅(W_1)にほぼ等しい幅を有するパターンでパターンニングする段階と、

前記パターンニングされた絶縁膜、選択的な除去膜および不純物浸透防止膜をマスクとして前記量子ウェル層上に電流制限層を選択的に成長させて電流注入溝を形成する段階と、

前記絶縁膜、選択的な除去膜および不純物浸透防止膜を除去する段階と、

前記電流注入溝部分と量子ウェル層を所定の厚さが存在するように蝕刻する段階と、

前記電流注入溝および電流制限層上に第2導電型第3クラッド層および第2導電型キャップ層を順次形成する段階と、

前記キャップ層上部と基板下部とにそれぞれ第2導電型電極および第1導電型電極を形成する段階と、

10

20

30

40

50

を備えることを特徴とする半導体レーザダイオードの製造方法。

【請求項36】前記量子ウェル層は、アンドソープGaAs、低濃度のp型GaAs、または低濃度n型GaAsのいずれかで形成することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項37】前記不純物浸透防止膜は、p型Al_xGa_{1-x}As (x≧0.5) で形成することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項38】前記選択的な除去膜は、p型GaAsで形成することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項39】前記選択的な除去膜は、少くとも100オングストロームの厚さを有するように形成することを特徴とする特許請求の範囲第38項記載の半導体レーザダイオードの製造方法。

【請求項40】前記絶縁膜は、SiO₂、またはSi₃N₄のいずれかで形成することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項41】前記絶縁膜パターンの幅(W₁)は、3〜7μmであることを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項42】前記選択的な除去膜および不純物浸透防止膜をパターンニングする段階は、前記パターンニングされた絶縁膜上にホトレジストを塗布した後、所定の幅(W₁)を有するパターンでパターンニングする工程と、

前記ホトレジストパターンをマスクとして前記選択的な除去膜および不純物浸透防止膜を湿式蝕刻する工程とを成ることを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項43】前記ホトレジストは、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位<0 1 1>若しくは<0 -1 -1>に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第42項記載の半導体レーザダイオードの製造方法。

【請求項44】前記ホトレジストは、形成されたパターンの長さ方向が前記量子ウェル層の結晶方位<0 -1 1>若しくは<0 1 -1>に沿って形成されるようにパターンニングすることを特徴とする特許請求の範囲第42項記載の半導体レーザダイオードの製造方法。

【請求項45】前記ホトレジストのパターンの幅(W₁)は、8〜12μmであることを特徴とする特許請求の範囲第42項記載の半導体レーザダイオードの製造方法。

【請求項46】前記選択的な除去膜および不純物浸透防止膜は、H₂SO₄:H₂O₂:C₂H₅(OH)₂: =1:2:7溶液を利用して湿式蝕刻することを特徴とする特許請求の範囲第42項記載の半導体レーザダイオ

ードの製造方法。

【請求項47】前記電流制限層は、MOCVD法により成長させることを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項48】前記絶縁膜は、BOEを利用して除去することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項49】前記選択的な除去膜および不純物浸透防止膜は、H₂SO₄:H₂O₂:C₂H₅(OH)₂: =1:2:7溶液を利用して除去することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項50】前記電流注入溝部分の量子ウェル両は、量子ウェル層の厚さの1/2程残存するように蝕刻することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項51】前記量子ウェル層は、NH₄OH:H₂O₂:H₂O=1:1:500溶液を利用して湿式蝕刻することを特徴とする特許請求の範囲第50項記載の半導体レーザダイオードの製造方法。

【請求項52】前記第3クラッド層は、Al_{0.5}Ga_{0.5}Asで形成することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項53】前記クラッド層は、MOCVD法またはLPE法のいずれかにより形成することを特徴とする特許請求の範囲第35項記載の半導体レーザダイオードの製造方法。

【請求項54】半導体基板と、前記半導体基板上に形成されたダブルヘテロ接合構造と活性層と、前記活性層上に形成された電流注入溝および電流制限層と、

前記活性層と電流制限層間に形成された第1量子ウェル層と、

前記活性層上の前記電流注入溝領域に形成された第2量子ウェル層と、

前記電流注入溝および電流制限層上に平坦な表面を有するクラッド層と、

を備えることを特徴とする半導体レーザダイオード。

【請求項55】前記第1量子ウェル層と第2量子ウェル層とは、互に違う厚さを有することを特徴とする特許請求の範囲第54項記載の半導体レーザダイオード。

【請求項56】前記第2量子ウェル層の厚さは、前記第1量子ウェル層の厚さの1/2であることを特徴とする特許請求の範囲第54項記載の半導体レーザダイオード。

【請求項57】前記電流注入溝は、'V'字状であることを特徴とする特許請求の範囲第54項記載の半導体レーザダイオード。

【請求項58】前記電流注入溝は、逆メサ(Mesa)

状であることを特徴とする特許請求の範囲第54項記載の半導体レーザダイオード。

【請求項59】前記クラッド層上に形成されたキャップ層と；前記半導体基板の下部と前記キャップ層の上部とにそれぞれ形成された電極をさらに含まれることを特徴とする特許請求の範囲第54項記載の半導体レーザダイオード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体レーザダイオード及びその製造方法に関し、特に内部注入溝を選択的な成長により形成した半導体レーザダイオード及びその製造方法に関する。

【0002】

【従来の技術】一般にレーザダイオードは安定した単一のモード、低いしきい値(threshold)電流における駆動および高い量子効率を有するために屈折率導波路状の構造になっている。

【0003】このような屈折率導波路状のレーザダイオード構造は、ほとんどその内部に電流を制限させるための内部電流制限層を有している。

【0004】このような内部電流制限層は基板の形式(type)に応じて活性層の上方または下方に位置して電流を効果的に制限する。

【0005】このような電流制限層を有している従来のレーザダイオードは、電流制限層に形成される電流注入溝を、この電流制限層を成長させた後これを選択的にエッチングして形成した。

【0006】図1はエッチングにより電流注入溝を形成した従来のレーザダイオードの断面構造を示したものである。

【0007】この製造工程は、まず基板1上に第1クラッド層2、活性層3、第2クラッド層4、第1半導体層5、電流制限層6、および第2半導体層7を順次形成し、前記第2半導体層7をエッチング溶液で選択的に除去した後、前記電流制限層6の所定部分を斜め状でエッチングして電流注入溝を形成する。

【0008】第3クラッド層8およびキャップ層9を形成し、キャップ層9の上方面と基板1の下方面とにそれぞれ電極10、11を形成することとなる。

【0009】このような半導体レーザダイオードでは、前記電流制限層6と第1半導体層5とが同じ性質の半導体である場合、選択的なエッチングが不能であるので、初期の第1半導体層5ではなく、第2クラッド層4が露出された形態で製造された。

【0010】特開昭63-49396号およびEPO特許第0,132,081号では、MOCVD(Metal Organic Chemical Vapor Deposition)法により成長層を形成し、前述したようにエッチングにより電流注入溝を形成する技術が提案されている。

【0011】ここでは、電流制限層6のGaAsと第2クラッド層4のAlGaAsとを選択的なエッチング溶液でNH₃・OH:H₂O₂エッチングにより電流制限層6に電流注入溝を形成したが、この時露出された溝の部分の第2クラッド層4のAlGaAsが酸化されてレーザダイオードの特性に大きい影響を及ぼすこととなる。

【0012】第2クラッド層4のAlGaAsが酸化されることを防止するために、EPO特許第0,142,845号では、電流制限層6としてAl_{0.1}Ga_{0.9}Asを利用した。

【0013】これを図1を参照して説明する。

【0014】N-GaAs基板1上にMBE(Molecular Beam Epitaxy)を利用してn-Al_{0.1}Ga_{0.9}Asクラッド層2、アンダーブド(undoped)Al_{0.1}Ga_{0.9}As活性層3、厚さ0.1μmのP-Al_{0.1}Ga_{0.9}As 4、0.005μmの厚さのP-GaAs酸化防止膜5、0.8μmの厚さのn-Al_{0.1}Ga_{0.9}As電流制限層6、および0.005μmの厚さのn-GaAs酸化防止膜7を連続的に成長させる。

【0015】その後、フォトリソストを利用したフォトリソグラフィ工程によりストライプ溝(Stripe groove)パターン(図示せず)を20μmの幅で形成した後、このストライプ溝パターンをマスクとしてH₂O₂:NH₃:H₂O₂=5:1のエッチング溶液で前記N-GaAs酸化防止膜7を除去する。

【0016】ついてHF溶液により前記n-Al_{0.1}Ga_{0.9}As電流制限層6を蝕刻すれば、前記P-GaAs酸化防止膜5が露出されながらエッチングストップする。

【0017】ついてMBE法によりP-Al_{0.1}Ga_{0.9}As 8およびP-GaAs 9を成長させた後、電極10、11を形成する。

【0018】ここに前記電極10、11を介して電流、すなわちキャリアを注入すれば内部電流制限層6の効果的な電流制限により、低いしきい値電流を有するレーザダイオードを得られる。

【0019】

【発明が解決しようとする課題】しかしながら、従来のエッチングにより電流注入溝を形成する方法は、大量生産のための大きい面積のウェーハにおいてはその単一性(Uniformity)の維持が難しい。

【0020】すなわち、電流注入溝を形成するために、電流制限層をエッチングするので大きい面積のウェーハにおいて成長線を均一に形成することができるMBE(Molecular Beam Epitaxy)またはMOCVD(Metal Organic Chemical Vapor Deposition)法の長点を利用することもない。

【0021】また、前記特開昭63-49396号およびEPO特許第0,132,081号の場合では、電流注入溝を形成するためのエッチングを施した後、露出さ

れたAlGaAs層の酸化により、その上に成長される層の室(Quality)が低下されることもあり、これによりレーザダイオードの信頼性に多大な悪影響を及ぼすこともある。

【0022】前記EPO特許第0,142,845号では、このような問題手点を解消するために、電流注入溝を形成するために2回のエッチングを施しなければならない煩わしさが、かつ側方へのエッチングを率の調節が難しく、またエッチング後に電流注入溝の側面が酸化する問題が発生する。

【0023】また電流制限層としてAl_{0.1}Ga_{0.9}Asがあるので、これによりその上にn-GaAs酸化防止膜7を必ず成長させなければならない問題がある。

【0024】

【課題を解決するための手段】本発明の目的は、半導体レーザダイオードの電流注入溝を選択的な成長により形成する方法を提供することにある。

【0025】本発明の他の目的は、選択的な成長により電流注入溝を形成した半導体レーザダイオードの構造を提供することにある。

【0026】上記の目的を達成するための本発明の半導体レーザダイオードの製造方法は、半導体基板上のダブルヘテロ(double hetero)接合構造の活性層を形成する段階と、活性層上に電流注入溝を形成するために前記活性層上に電流制限層を選択的に形成する段階と、および前記電流注入溝および電流制限層上に平坦な表面を有するクラッド層を形成する段階と、を備えることを特徴とする。

【0027】上記の目的を達成するための本発明の半導体レーザダイオードは、半導体基板上と、ダブルヘテロ接合構造の活性層、前記活性層上に形成された電流制限層および電流注入溝、前記電流制限層と電流注入溝間に形成された第1量子ウェル(Quantum well)層、前記活性層上の前記電流注入溝の領域に形成された第2量子ウェル層および前記電流注入溝および電流制限層上に平坦な表面を有するクラッド層を備えることを特徴とする。

【0028】

【実施例】以下、添付図面に基づいて本発明の実施例を詳細に説明する。

【0029】図2は、本発明の第1実施例の半導体レーザダイオードの構造を示した断面図である。

【0030】本発明の第1実施例の半導体レーザダイオードの構造は、図2に示すように、n型GaAs基板21上にn型GaAsバッファ層22、n型Al_{0.1}Ga_{0.9}Asからなる第1クラッド層23、アンドープAlGaAsからなる活性層24、厚さ0.2~0.65μmのp型Al_{0.1}Ga_{0.9}Asからなる第2クラッド層25が順次形成され、前記p型Al_{0.1}Ga_{0.9}As第2クラッド層25上の電流注入溝100を除外した領域に厚さ30~

100μmのアンドープGaAsまたは低濃度のP-GaAs、またはn-GaAsからなる量子ウェル層26と、選択的に成長させた電流制限層31とが形成される。

【0031】前記電流注入溝100および電流制限層31上に、p型Al_{0.1}Ga_{0.9}Asからなる第3クラッド層32が形成され、その上にp型GaAsキャップ層33が形成され、前記キャップ層33の上部と基板21の下部とにp型電極32およびn型電極35が各々形成される。

【0032】図示しないが、電流注入溝100の領域に電流制限層31の下部に形成された量子ウェル層26の厚さの1/2以下の量子ウェル層が形成されることもある。

【0033】上記構造の本発明の第1実施例の半導体レーザダイオードの構造を図3を参照して説明する。

【0034】まず、図3(a)に示すように、n型GaAs基板21上にMOCVD法を利用してn型GaAsバッファ層22を0.5μm以上の厚さで形成し、その上にn型Al_{0.1}Ga_{0.9}Asからなる第1クラッド層23、アンドープAlGaAsからなる活性層24を形成する。

【0035】次いで、前記活性層24上にp型Al_{0.1}Ga_{0.9}Asからなる第2クラッド層25を0.2~0.65μmの厚さで形成し、アンドープGaAsまたは低濃度のp型GaAsまたはn型GaAsからなる量子ウェル層26を30~100オングストロームの厚さで形成した後、p型Al_xGa_{1-x}As(x≧0.6)からなる不純物浸透防止膜27を形成する。

【0036】ここで、不純物浸透防止膜27はSiの浸透を防止するためのもので、これを形成する理由は次の通りである。

【0037】すなわち、量子ウェル層26上に電流注入溝を電流制限層領域の以外の領域に選択的に成長させるために、GaAsとは全く異なる性質のSiO₂、またはSi、N、などの絶縁膜を選択成長させる時にマスクとして主に用いられる。

【0038】この時、絶縁膜が形成された部分でGaAs基板に同じの性質の単結晶体として成長されるのではなく、多結晶粒子として存在する。このようなSiO₂、またはSi、N、などの絶縁膜が前記Si浸透防止膜27がなく、直接量子ウェル層26上に蒸着され、電流制限層を成長させるための高温状態で長い時間存在すると、量子ウェル層26がSiO₂、またはSi、N、からのSi浸透のより破壊されると共に表面粗(grainy texture)現象が発生する。

【0039】これにより、前記量子ウェル層26右上にSi浸透防止膜27を0.1μm以上の厚さで形成することにより、Siが量子ウェル層26へ浸透することを防止する。

11

【0040】図3(b)に示すように、前記Si浸透防止膜27上にSiO₂、またはSi₃N₄のような絶縁膜28を蒸着する。

【0041】図3(c)に示すように、前記絶縁膜28上に第1ホトレジスト29を塗布し、ホトリソグラフィ工程により、図3(d)に示すように、一定の長さ(ここでは1μm程の幅(W₁))を有するように第1ホトレジスト29をパターンニングして電流注入溝領域を定義する。

【0042】図4(a)に示すように、前記パターンニングされた第1ホトレジスト29を利用して絶縁膜を選択的にエッチングし、第1ホトレジスト29を除去する。

【0043】図4(b)に示すように、絶縁膜28を含む全ての表面にわたって前記第1ホトレジスト29同種の第2ホトレジスト30を塗布し、図4(c)に示すように、ホトリソグラフィ工程により、一定の長さの幅(W₂) (ここでは10μm)を有するパターンで前記第2ホトレジストをパターンニングする。

【0044】図4(d)に示すように、パターンニングされた前記第2ホトレジスト30をマスクとして利用してHF溶液Si浸透防止膜27を湿式エッチングする。この時、Si浸透防止膜27の下方の量子ウェル層26がGaAs層であるので、量子ウェル層26においてはエッチングが停止される。

【0045】Si浸透防止膜27は第1ホトレジスト29の幅(W₁)である5μmに近似した4μm程の幅を有するようにエッチングする。

【0046】次いで、図5(a)に示すように、前記第2ホトレジストを除去した後、図5(a)の状態のウェハに、図5(b)に示すように、OCVD法により電流制限層31を成長させて電流注入溝100を形成する。

【0047】これは同種(等しい性質)の結晶体で同一の物質の結晶体を成長させることができる原理を利用したことで、図5(a)の状態のウェハに決定成長を行えば、GaAs量子ウェル層26上に残存している絶縁膜28とSi浸透防止膜27は結晶成長のマスクとして利用するので、この部分には結晶成長が出来上らなく、量子ウェル層26が露出された部分、すなわち電流注入溝領域の以外の領域のみGaAs結晶が選択的に成長される。

【0048】したがって、別途の追加工程を必要としなくて電流制限層を形成すると共に電流注入溝を形成することができる。

【0049】ここで電流注入溝の形状は図5(a)の状態の製造の際、ウェハの方向により違うことがある。

【0050】すなわち、前記第2ホトレジストのパターン形成の時、電流注入溝のストライプ(stripe)方向を第2ホトレジストの下部層、ここでは量子ウェル層26の結晶方位<0 1 1>若しくは<0 -1 -1>に沿って形成してV字状の電流注入溝を形成するか、

12

または<0 -1 1>または<0 1 -1>に沿って形成して逆メサ(Mesa)状の電流注入溝を形成することもある。

【0051】以後、図5(b)状態のウェハをGaAsまたはAlGaAsの選択的なエッチング溶液であるHF中に浸して図5(c)に示すように、Si浸透防止膜27および絶縁膜28を除去し、電流注入溝領域の量子ウェル層26をその厚さの1/2以上を蝕刻する。

【0052】この時、量子ウェル層26および電流制限層31が空気中に露出され、これにより形成された自然酸化膜も、同時にHF溶液により除去されるので、HF溶液によるエッチング後、直に脱イオン水による洗浄を行い、図5(d)に示すように、LPE(Liquid Phase Epitaxy)法により電流制限層31上にp型Al_{0.1}Ga_{0.9}Asからなる第3クラッド層32とp型GaAsキャップ層33とを順次形成する。

【0053】この時、第3クラッド層32のAl_{0.1}Ga_{0.9}Asが量子ウェル層26のGaAsうえで成長されるので、LPE成長特性によって量子ウェル層26のGaAsが第3クラッド層32のAl_{0.1}Ga_{0.9}Asの中へメルバック(Melt Back)される現象が発生して“A”部分の欠陥は全て除去される。

【0054】また本発明において、前記第3クラッド層32およびキャップ層33は、MOCVD法によっても成長させることができる。

【0055】前記本羽目対の第1実施例において、量子ウェル層26を形成しなくて前記Si浸透防止膜27をアンドープ(undoped)GaAsで形成することができる。

【0056】この時、アンドープGaAsからなるSi浸透防止膜の厚さは前述したようにSiO₂、Si₃N₄等の絶縁膜によりGaAsの表面粗い(grainy texture)現象を防止するために0.1μm以上形成しなければならない。

【0057】量子ウェル層を形成しない前記のような場合においても、前記第3クラッド層32およびキャップ層33をMOCVD法またはLPE法により成長させることができる。

【0058】上述した本発明の第1実施例の半導体レーザーダイオードの製造方法において、とSiO₂、またはSi₃N₄等の絶縁膜28を選択的な成長時のマスクとして用いた場合に発生する量子ウェル層26の表面粗現象を防止するために前述したようにSi浸透防止膜27を用いなくて、量子ウェル層26上にPSC(Phosphosilicate Glass)/SiO₂、またはPSG/Si₃N₄二重膜を蒸着してこれを選択的な成長時のマスクとして用いて本発明の第1実施例の工程を行うこともできる。

【0059】また、SiO₂、Si₃N₄、またはPSG/SiO₂、PSG/Si₃N₄を用いなくて量子ウェル層26を成長させる工程まで進行させた後、これを酸

素雰囲気下で熱処理してGaAsからなる量子ウェル層26をGaAs-SiO₂膜とより作製してこれを選択的成長時のマスクとして用いることができる。

【0060】図4は本発明の第2実施例による半導体レーザダイオードの構造を示す断面図である。

【0061】AlGaAs/GaAsの異種接合の構造において、活性層とクラッド層との間にAlのグレーデッド組成（Graded Composition）を有するAlGaAs/GaAs層を形成することにより、活性層内への電子の閉じを增大させる漏斗効果と、効果的な電磁気波の導波効果を得ることがある。したがって、しかい値電流を得られるレーザダイオードの構造であるGRIN-SCH（Graded Index Separate Confinement Heterostructure）のレーザダイオードを示したものである。

【0062】本発明の第2実施例による半導体レーザダイオードの構造は、図6に示すように、n型GaAs基板21上にn型GaAsバッファ層22、n型Al_{0.5}Ga_{0.5}Asからなる第1グレーデッド層36、アンドープGaAsからなる活性層24、p型Al_{0.5}Ga_{0.5}Asからなる第2グレーデッド層37、p型Al_{0.5}Ga_{0.5}Asからなる第2クラッド層25、が順次形成された構造である。

【0063】前記第2クラッド層25上にアンドープGaAsまたは低濃度のp型GaAsまたはn型GaAsからなる量子ウェル層26が形成されている。

【0064】この量子ウェル層26は電流注入溝の領域とその以外の領域における厚さとは異なる。

【0065】電流注入溝の量子ウェル層の厚さ（ t_1 ）はその以外の領域、すなわち電流制限層領域における厚さ（ t_2 ）の $1/2$ 以下である（ $0 < t_1 < 1/2 t_2$ ）。

【0066】また量子ウェル層26上の電流制限層領域に電流制限層31および電流注入溝領域にわたってp型Al_{0.5}Ga_{0.5}Asからなる第3クラッド層32が形成され、第3クラッド層32上にp型GaAsからなるキャップ層33形成され、前記キャップ層33の上部と基板21の下部とにそれぞれp型電極34およびn型電極35が形成される構造である。

【0067】上記構造の本発明の第2実施例の半導体レーザダイオードの構造方法を図5を参照して説明する。

【0068】まず、図7（a）に示すように、n型GaAs基板21上にMOCVD法を利用してn型GaAsバッファ層22を0.5μm以上の厚さで形成し、ついでn型Al_{0.5}Ga_{0.5}Asからなる第1クラッド層23、n型Al_{0.5}Ga_{0.5}Asからなる第1グレーデッド層36、を順次形成する。

【0069】ついで、アンドープGaAs活性層24を50～100オングストロームの厚さで形成し、p型Al_{0.5}Ga_{0.5}Asからなる第2グレーデッド層3

7、p型Al_{0.5}Ga_{0.5}Asからなる第2クラッド層25を順次形成する。

【0070】第2クラッド層22上にアンドープGaAsまたは低濃度のp型GaAsや低濃度のn型GaAsからなる量子ウェル層26を30～100オングストロームの厚さで形成し、量子ウェル層26へのシリコン浸透を防止するためにp型Al_xGa_{1-x}As（ $x \geq 0.5$ ）からなる不純物浸透防止膜27とp型GaAsとからなる選択的除去膜38を量子ウェル層26上に順次形成する。この時前記選択的除去膜38は1000オングストロームの以上の厚さで形成する。

【0071】図7（b）に示すように、選択的除去膜38上にPECVD（plasma Enhanced Chemical Vapor Deposition）法によりSiO₂またはSi₃N₄等の絶縁膜28を500～3000オングストローム程の厚さで蒸着する。

【0072】図7（c）に示すように、絶縁膜28上に第1ホトレジスト29を塗布した後、図7（d）に示すように、一定の場（ $W_1 = 3 \sim 7 \mu m$ ）を有するように第1ホトレジスト29ホトリソグラフィ工程によりパターンニングする。

【0073】図8（a）に示すように、前記パターンニングされた第1ホトレジスト29をマスクとして絶縁膜28を蝕刻する。

【0074】ついで、図8（b）に示すように、第1ホトレジストを除去し絶縁膜28を含む全ての表面にわたって全第1ホトレジスト29の同種の第2ホトレジスト30を塗布する。

【0075】図8（c）に示すように、一定の幅（ $W_2 = 8 \sim 12 \mu m$ ）を有するように第2ホトレジスト30をホトリソグラフィ工程によりパターンニングした後、図8（d）に示すように、H₂SO₄：H₂O₂：C₂H₅OH、：=1：2：7溶液に前記選択的除去膜38および不純物浸透防止膜27を湿式蝕刻させた後、図9（a）に示すように、第2ホトレジストを除去する。

【0076】図9（b）に示すように、露出された量子ウェル層26上にMOCVD法により電流制限層31を成長させて電流注入溝100を形成し、このように形成された図9（b）基板をBOE（Buffered Oxide Etchant）に浸して図9（c）に示すように絶縁膜28を除去し、さらにH₂SO₄：H₂O₂：C₂H₅OH、：=1：2：7溶液で前記選択的除去膜38および不純物浸透防止膜27を除去する。

【0077】NH₄OH：H₂O₂：H₂O=1：1：500の溶液を利用して電流注入溝領域の露出された量子ウェル層26を量子ウェル層の厚さ（ t ）の $1/2$ 以下である厚さ（ $0 \leq t_1 \leq 1/2 t_2$ ）になるように蝕刻して前記不純物浸透防止膜27と量子ウェル層26との間の境界面における欠陥を除去する。

【0078】その後、図9（d）に示すように、MOC

15

VD法によりp型Al_{1-x}GaAsからなる第3クラッド層32、p型GaAsからなるキャップ層33を形成し、キャップ層33上部と基板21下部とにそれぞれp型電極34およびn型電極35を形成して、本発明の第2実施例の半導体レーザダイオードを製造する。

【0079】ここで、電流注入溝の形状は第1実施例のように図5(1)状態の製造の際、ウェハ製造方向にしたがって変えることがある。

【0080】すなわち、前記第2ホトレジストパターンの形成の時、電流注入溝のストライプ(stripe)方向を第2ホトレジストの下部層である量子ウェル層26の決定方向<0 1 1>若しくは<0 -1 -1>に沿って形成して“V”字状の電流注入溝を形成するか、または<0 -1 1>若しくは<0 1 -1>に沿って形成して“逆メサ(mesa)”状の電流注入溝を形成する。

【0081】また、第1実施例のように図9(d)の“A”部分の欠陥は、量子ウェル層26のGaAsが第3クラッド層32のAl_{1-x}GaAsからなるメルトバック(Melt Back)されて全て除去される。

【0082】図10は本発明の第2実施例のGRIN-SCHレーザダイオードにおいて、活性層(アンドープGaAs)24の上下に第1グレーデッド層36としてn型Al_yGa_{1-y}As(y=0.6-0.2)を形成し、第2グレーデッド層37としてp型Al_xGa_{1-x}As(x=0.2-0.6)を形成して波長(λ)が830である場合を示したので、図11は本発明の第2実施例のGRIN-SCHレーザダイオード(図6~図8)において、他の波長を得るために他の実施例で、活性層24をAl_{1-x}Ga_xAsで形成し第1グレーデッド層36としてn型Al_yGa_{1-y}As(y=0.6-0.3)を形成し、第2グレーデッド層37としてp型Al_xGa_{1-x}As(x=0.3-0.6)を形成して波長(λ)が780である場合を示したものである。

【0083】

【発明の効果】以上説明したように、本発明の半導体レーザダイオード構造および製造方法は、電流注入溝を蝕刻ではなく、選択的な成長により形成するようにしたので、大きい面積のウェハ内において一定形状の溝を形成することができる。また、蝕刻により露出された層の欠陥が工程の遂行中に自然に除去されるので、レーザダイオードの信頼性が向上される。一方、本発明の半導体レーザダイオードは、第1実施例、第2実施例によるレーザダイオードのI-L曲線図である図6および図7に示すように、第1実施例による半導体レーザダイオードが約50mA程度低いしきい値電流を有し、第2実施例による半導体レーザダイオードが約5~200mA程度

16

の非常に低いしきい値電流を有する特性がある。

【図面の簡単な説明】

【図1】従来の半導体レーザダイオードの構造を示す断面図。

【図2】本発明の第1実施例による半導体レーザダイオードの構造を示す断面図。

【図3】本発明の第1実施例による半導体レーザダイオードの製造方法を示す工程別素子断面図。

【図4】図3に示す工程に続く工程を示す工程別素子断面図。

【図5】図4に示す工程に続く工程を示す工程別素子断面図。

【図6】本発明の第2実施例による半導体レーザダイオードの構造を示す断面図。

【図7】本発明の第2実施例による半導体レーザダイオードの製造方法を示す工程別素子図。

【図8】図7に示す工程に続く工程を示す工程別素子断面図。

【図9】図8に示す工程に続く工程を示す工程別素子断面図。

【図10】本発明の第2実施例のグレーデッド層(Graded layer)の構成図。

【図11】本発明の第3実施例のグレーデッド層の構成図。

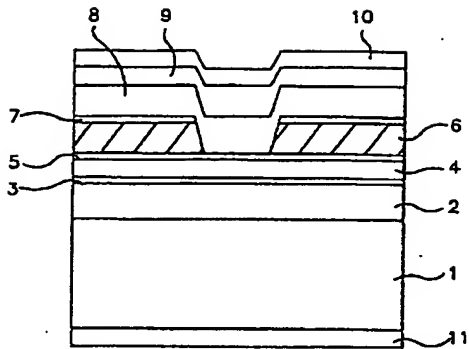
【図12】本発明の第1実施例による半導体レーザダイオードの典型的なI-L曲線図。

【図13】本発明の第2実施例による半導体レーザダイオードの典型的なI-L曲線図。

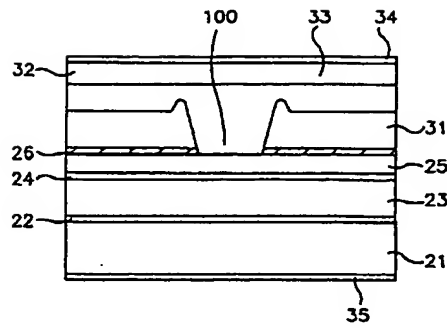
【符号の説明】

- 21 基板
- 22 バッファ層
- 23 第1クラッド層
- 24 活性層
- 25 第2クラッド層
- 26 量子ウェル層
- 27 Si浸透防止膜
- 28 絶縁膜
- 29 第1ホトレジスト
- 30 第2ホトレジスト
- 31 電流制限層
- 32 第3クラッド層
- 33 キャップ層
- 34, 35 電極
- 36 第1グレーデッド層
- 37 第2グレーデッド層
- 38 選択的な除去膜
- 100 電流注入溝

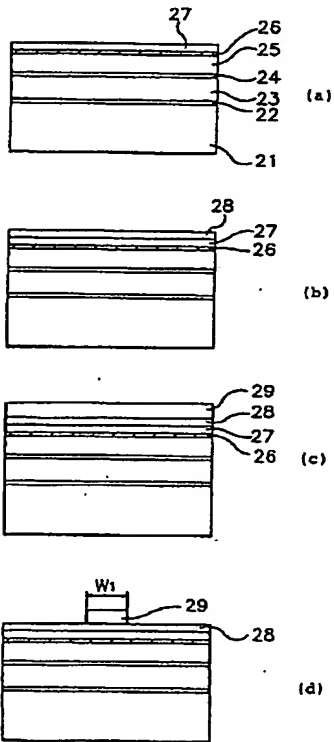
【図1】



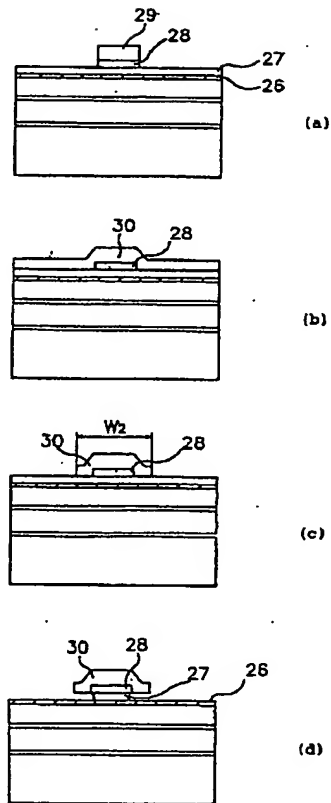
【図2】



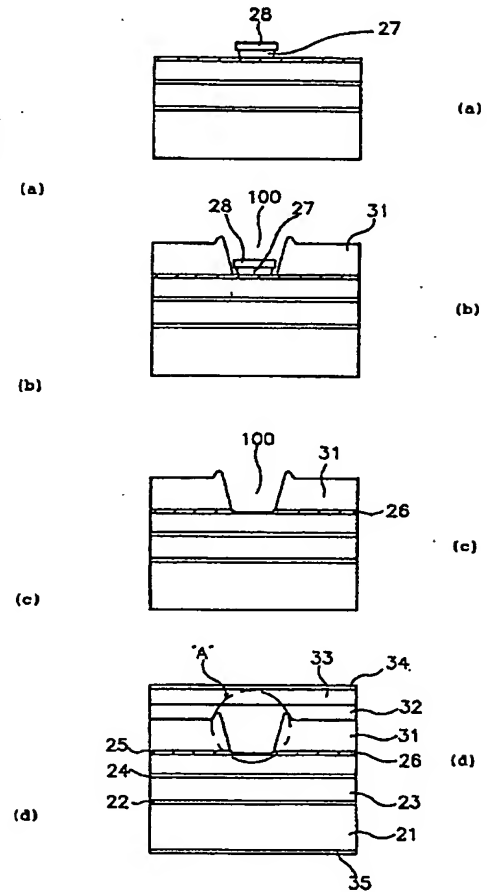
【図3】



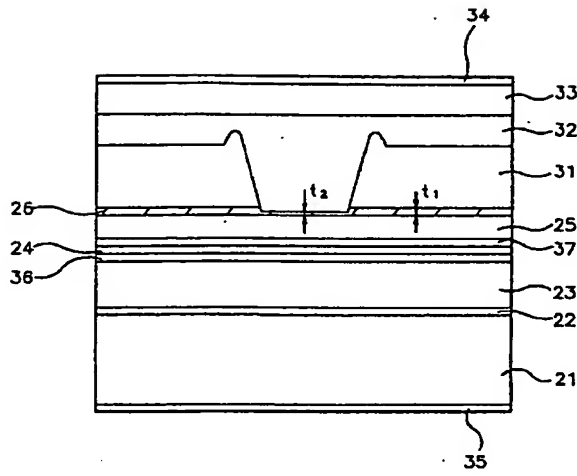
【図4】



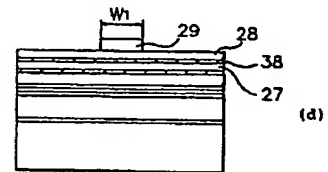
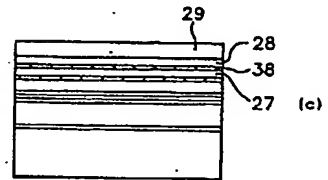
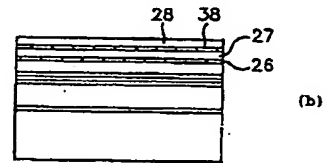
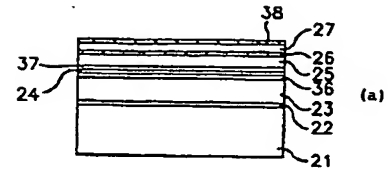
【図5】



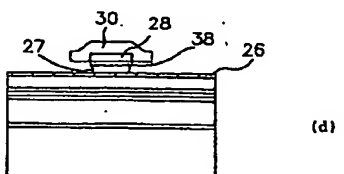
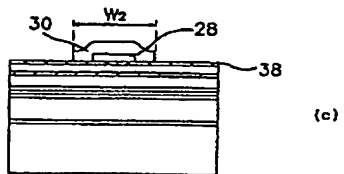
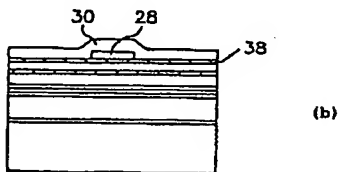
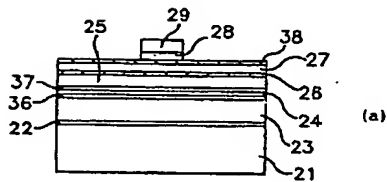
【図6】



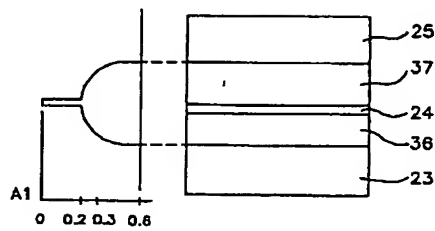
【図7】



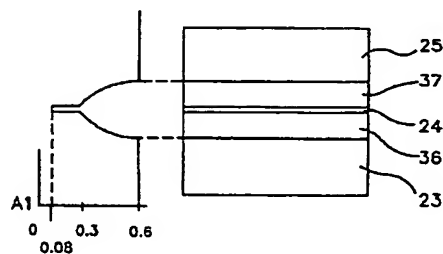
【図8】



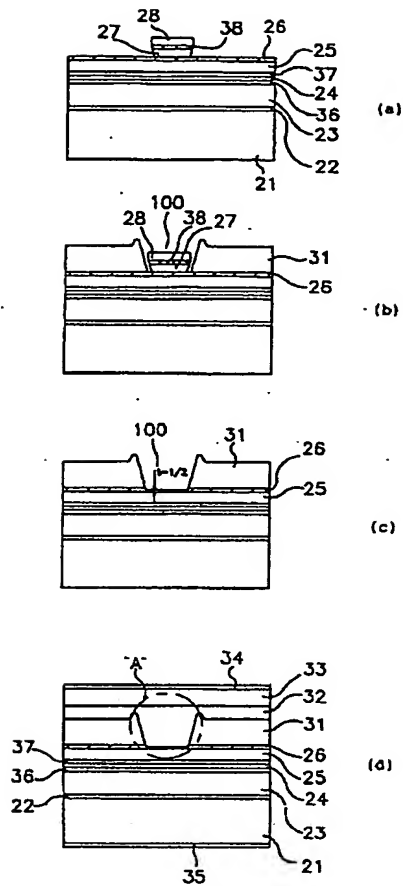
【図10】



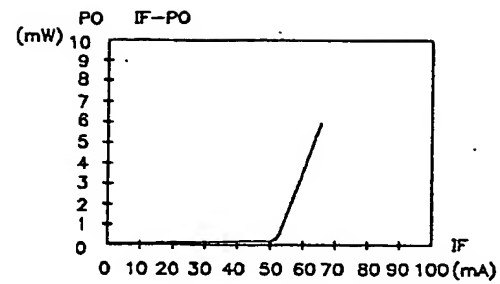
【図11】



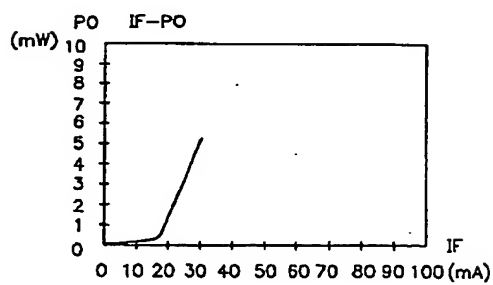
【図9】



【図12】



【図13】



フロントページの続き

(72)発明者 施 相 基
大韓民国京畿道安養市批山2洞573 三益
アパートメント2-1019

(72)発明者 崔 原 澤
大韓民国ソウル特別市恩平区大鰐洞72-19

(72)発明者 林 珍 赫
大韓民国ソウル特別市冠岳区新林9-洞
1555-13

(72)発明者 徐 周▲オク▼
大韓民国ソウル特別市冠岳区新林2-洞95
-58 21/4
(72)発明者 梁 ▲民▼
大韓民国ソウル特別市九老区始興4-洞
810-20